

## ⑫ 公開特許公報(A)

昭61-146015

⑤ Int.Cl.<sup>4</sup>H 03 K 21/38  
23/66

識別記号

庁内整理番号

6749-5J  
6749-5J

④ 公開 昭和61年(1986)7月3日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 可変分周器

⑰ 特 願 昭59-269275

⑱ 出 願 昭59(1984)12月20日

⑲ 発 明 者	中 村 隆 治	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 発 明 者	板 谷 英 治	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 出 願 人	富 士 通 株 式 会 社	川崎市中原区上小田中1015番地	
⑲ 代 理 人	弁 理 士 松 岡 宏 四 郎		

## 明 細 書

## 1. 発明の名称

可変分周器

## 2. 特許請求の範囲

(1) 分周比設定値設定制御信号にตอบสนองして分周比設定値の設定が行なわれる分周比の可変な分周器と、該分周器へ分周比設定値を供給する回路と、前記分周器の出力値が前記分周比設定値より大きいか否かを判定する判定手段と、該判定手段の出力信号と前記分周器のキャリ信号との論理積をとって分周比設定値設定信号を発生する制御信号発生手段とを備えて構成したことを特徴とする可変分周器。

(2) 前記判定に前記分周器及び前記分周比設定値の対応各ビットが用いられることを特徴とする特許請求の範囲第1項記載の可変分周器。

(3) 前記判定に最上位ビットが用いられることを特徴とする特許請求の範囲第1項記載の可変分周器。

## 3. 発明の詳細な説明

## (産業上の利用分野)

本発明は分周比の初期化を改善した可変分周器に関する。

ディジタル処理装置例えば情報処理装置等において可変分周器が用いられている。この種の分周器は当然のことながらその分周比を変更設定し得る構成になっているが、その電源投入直後等においてその出力は不定であり、分周器の分周期間以内に最初の出力パルスがその構成上得られない場合が生ずるので、この種の可変分周器においてはそのための初期化回路を設けている。

## (従来の技術)

その従来の初期化回路として用いられる回路はパワーオンリセット回路として知られるもので、これは抵抗とコンデンサとで比較的大きな時定数を呈する充電回路を備えており、その出力で分周器の分周比設定値をロードする端子を動作させて分周器の初期化を行なうものである。

## (発明が解決しようとする問題点)

上述のような回路において比較的大きな時定

数を得ようとするとそのコンデンサに静電容量の大きいものを用いねばならない。従って、そのような回路を集積化回路に設けようとする、その実装密度の低下は免れ得ず、その集積化、小型化の妨げとなる。

(問題点を解決するための手段)

本発明は上述の問題点の解決を図った可変分周器を提供するもので、その手段は、分周比設定値設定制御信号に応答して分周比設定値の設定が行なわれる分周比の可変な分周器と、該分周器へ分周比設定値を供給する回路と、前記分周器の出力値と前記分周比設定値より大きいか否かとを判定する比較手段と、該判定手段の出力信号と前記分周器のキャリ信号との論理積をとって分周比設定値設定制御信号を発生する制御信号発生手段とを備えて構成したものである。

(作用)

本発明可変分周器においては、分周比の可変な分周器への分周比設定値の設定は分周器の出力値が分周比設定値より大きいか否かの判断出力信号

と分周器のキャリ信号との論理積をとって発生される分周比設定値設定制御信号によって生ぜしめられる。そのための各手段は集積化可能なものである。

従って、可変分周器の初期化回路はその本体と共に集積化され得てその小型化を実現し得る。

(実施例)

以下、添付図面を参照しながら本発明の実施例を説明する。

第1図は本発明の一実施例を示す。この図において、1は4ビットのプリセッtablアップカウンタ(1/N可変分周器( $2 \leq N \leq 16$ ))で、該カウンタ1の出力 $Q_0, Q_1, Q_2, Q_3$ は比較回路2の第1の4ビット入力Aへ各別に接続されている。3は分周比設定値供給回路で、この回路は4個のスイッチ $S_0$ 乃至 $S_3$ から成り、これらスイッチの出力は各別にカウンタ1の対応するデータプリセット端子 $D_0$ 乃至 $D_3$ へ接続されると共に比較回路2の第2の4ビット入力Bへ接続されている。比較回路2の出力4はアンドゲート

5の一方の入力へ接続され、該アンドゲート5の他方の入力には、カウンタ1の $\overline{C/R}$ (キャリ)出力が接続されている。この $\overline{C/R}$ 出力は又分周出力端子6に接続されている。アンドゲート5の出力7はカウンタ1の $\overline{LOAD}$ 端子に接続されている。又、カウンタ1のCK入力端子8には被分周パルス列が供給される。

このように構成される可変分周器は次のように動作する。

即ち、そのカウンタ1が通常の動作状態にある場合に、端子8からCK入力に供給される被分周パルス列によってカウントアップされつつあるカウンタ1の出力値は分周比設定値供給回路3から供給されカウンタ1に設定された分周比設定値よりも常に大きい。従って、比較回路2の出力レベルは常に“1”となり、アンドゲート5の出力7に発生する信号レベルは $\overline{C/R}$ 出力の信号レベルによって決まる。かくして、カウンタ1への分周比設定値の設定は $\overline{C/R}$ (キャリ)信号が“0”になるときに行なわれる。このようにして、分周比設

定値によって分周出力パルスが端子6から発生される。

これに対し、電源投入直後など(例えば、分周比設定値の切替え時)のように、カウンタ1の出力値が分周比設定値より小さい不足な値として出力される場合には、比較回路2の出力レベルは“0”レベルとなり、アンドゲート5の出力レベルは“0”レベルとなる故、カウンタ1に分周比設定値が直ちに設定され、かくして分周比に相当する時間内に最初のパルスを分周出力端子6に出力させることができる。

第2図は本発明の第2の実施例で、第1の実施例における比較回路2における同様の比較にカウンタ1及び分周比較設定値供給回路3の最上位ビットのみが用いられることを除いて第1の実施例と同じ構成であり、同一の構成要素には同一の参照番号を付してその説明を省略する。この第2の実施例における比較回路2'はカウンタ1の最上位ビット出力に接続されたインバート10と、インバート10の出力及び分周比設定値供給回路3

の最上位ビット出力に接続されたナンドゲート1とから成る。このように、最上位ビットより下位のビットは省略されている故、比較回路の大幅な簡略化となる。しかし、初期化までの時間が長くなる。例えば、4ビットプリセッタブルアップカウンタの場合には、最長でも8クロック分以内に初期化を行なうことができる。従って、初期化に要する最長時間がこの種の可変分周器に許容され得る場合、とりわけビット数が多い場合には、そのビット数が多いほど第2の実施例の有利性が顕著になる。

なお、カウンタにプリセッタブルダウンカウンタを用いる場合には、比較回路への入力を入れ替えばよい。また、上述の設定、比較をプログラムマブルに行なってもよい。

#### (発明の効果)

以下説明したように本発明によれば、

- ①可変分周器の初期化回路の集積化を可能にし、
- ②これにより、可変分周器の小型化を実現し得る、等の効果が得られる。

#### 4. 図面の簡単な説明

第1図は本発明の第1の実施例を示す図、第2図は本発明の第2の実施例を示す図である。

図において、1はプリセッタブルアップカウンタ、2、2'は比較回路、3は分周比設定値供給回路、5はアンドゲートである。

特 許 出 願 人 富士通株式会社  
代 理 人 弁 理 士 松 岡 宏 四 郎

